

# PATENT ABSTRACTS OF JAPAN

(11) Publication number : 06-035470

(43) Date of publication of application : 10.02.1994

(51) Int.CI. G10H 1/18  
G10H 1/00

(21) Application number : 04-213180 (71) Applicant : KAWAI MUSICAL INSTR MFG CO LTD

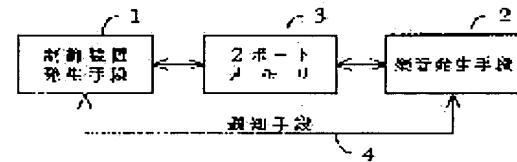
(22) Date of filing : 20.07.1992 (72) Inventor : HIROTA KENICHI SATO KAORU

## (54) ELECTRONIC MUSICAL INSTRUMENT

### (57) Abstract:

**PURPOSE:** To provide the electronic musical instrument which can speedily take necessary received data out at random at the time of data transfer between plural internal CPUs.

**CONSTITUTION:** The electronic musical instrument which has a musical sound control information generating means 1 and a musical sound generating means 2 has a storage device 3 which is connected to both the musical sound control information generating means 1 and the musical sound generating means 2 and can be accessed by the both and an informing means 4 which informs the musical sound control information generating means 1 or musical sound generating means 2 that the other means finishes writing data in the storage device 3 or processing the data.



## LEGAL STATUS

[Date of request for examination] 17.10.1997

[Date of sending the examiner's decision of rejection] 29.02.2000

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3095290

[Date of registration] 04.08.2000

[Number of appeal against examiner's decision of rejection] 2000-04428

[Date of requesting appeal against examiner's decision of rejection] 30.03.2000



[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office



(19)日本国特許庁 (JP)

(12) 特許公報 (B2)

(11)特許番号

特許第3095290号  
(P3095290)

(45)発行日 平成12年10月3日(2000.10.3)

(24)登録日 平成12年8月4日(2000.8.4)

(51)Int.Cl.<sup>7</sup>  
G 1 0 H 1/18

識別記号  
1 0 1

F I  
G 1 0 H 1/18  
1 0 1

請求項の数4(全8頁)

(21)出願番号 特願平4-213180  
(22)出願日 平成4年7月20日(1992.7.20)  
(65)公開番号 特開平6-35470  
(43)公開日 平成6年2月10日(1994.2.10)  
審査請求日 平成9年10月17日(1997.10.17)

前置審査

(73)特許権者 000001410  
株式会社河合楽器製作所  
静岡県浜松市寺島町200番地  
(72)発明者 廣田 寧一  
静岡県浜松市寺島町200番地 株式会社  
河合楽器製作所内  
(72)発明者 佐藤 韶  
埼玉県南埼玉郡菖蒲町下柏間2712 テス  
コ株式会社内  
(74)代理人 100079289  
弁理士 平木 道人 (外1名)

審査官 千葉 輝久

(56)参考文献 特開 平6-222761 (JP, A)

(58)調査した分野(Int.Cl.<sup>7</sup>, DB名)  
G10H 1/18 101

(54)【発明の名称】電子楽器

(57)【特許請求の範囲】

【請求項1】 楽音制御情報発生手段と、前記楽音制御情報発生手段に接続された第1のバスと、楽音発生手段と、前記楽音発生手段に接続された第2のバスと、前記第1バスおよび第2バスの両方に接続された記憶装置とを備えた電子楽器において、  
前記記憶装置は2組の独立した入出力ポートを介して前記第1のバスおよび前記第2のバスに別々に接続され、前記楽音制御情報発生手段および前記楽音発生手段の双方から互いに独立にアクセス可能であり、また前記記憶装置は、定常状態の楽音制御に用いるため各発音チャネル毎に設定された第1楽音情報記憶領域と、発音開始時および消音時の少なくとも一方の楽音制御に用いるため各発音チャネル共通に設定された第2楽音情報記憶領域とを含むことを特徴とする電子楽器。

【請求項2】 前記楽音制御情報発生手段および前記楽音発生手段の一方が、前記記憶装置へのデータの書き込みおよび処理の終了の少なくとも1つを前記楽音制御情報発生手段および前記楽音発生手段の他方に通知する通知手段を備えたことを特徴とする請求項1に記載の電子楽器。

【請求項3】 前記通知手段は前記楽音制御情報発生手段が第2楽音情報記憶領域へ書き込みしたことを前記楽音発生手段に伝えるための書き込み通知手段と、前記楽音発生手段が第2楽音情報記憶領域の情報を処理し終えたことを前記楽音制御情報発生手段に連絡するための処理終了通知手段とを備えたことを特徴とする請求項1または2に記載の電子楽器。

【請求項4】 前記通知手段は割り込み制御回路であることを特徴とする請求項2または3に記載の電子楽器。

**【発明の詳細な説明】****【0001】**

【産業上の利用分野】本発明は電子楽器に関し、特に内部の複数のCPU間で遅延なくデータを転送することができる、電子楽器に関するものである。

**【0002】**

【従来の技術】従来、キーアサインなどの制御を行う主制御部のCPUと、音源回路の制御を行うCPUとを有する電子楽器があった。このような電子楽器では、キーアサインなどの制御を行うCPUから、音源回路の制御を行うCPUに制御データを受け渡す必要があり、このためにFIFOバッファを使用していた。

**【0003】**

【発明が解決しようとする課題】上記のような従来の電子楽器においては、FIFOバッファを使用していたため、受信データを受信した順番で処理しなければならず、キーオンなど、早急に処理すべき優先順位の高いデータを受信した場合の処理手段を、特別に設けなければならないという問題点があった。

【0004】本発明の目的は、前記のような従来技術の問題点を改良し、内部の複数のCPU間でのデータ転送において、早急に処理すべき受信データを遅延なく取り出すことが可能な、電子楽器を提供することにある。

**【0005】**

【課題を解決するための手段】第1図は本発明の概要を示すブロック図である。制御情報発生手段1は、例えばキーボードなどの入力手段から入力された情報に基づき、楽音発生手段2を制御するための制御情報、例えばチャネル番号、音高、音量などの情報を発生する。そして2ポートメモリ3の所定のアドレスに書き込む。更にこの情報が、例えばキーオン情報などのように早く処理すべきものである場合には、制御情報発生手段1は、例えば割り込み回路のような通知手段4を用いて楽音発生手段2に、優先処理すべきデータの存在を通知する。

【0006】楽音発生手段2は、通常の処理、あるいは通知手段4の通知によって、2ポートメモリ3の所定のアドレスから処理すべきデータを読み出して、処理を行う。このように本発明は、楽音制御情報発生手段と、楽音発生手段と、前記楽音制御情報発生手段と、前記楽音発生手段の双方に接続され、双方からアクセス可能な記憶装置を有することを特徴とし、更に前記楽音制御情報発生手段、または前記楽音発生手段が、前記記憶装置へのデータの書き込みあるいは処理の終了を、相手装置に通知する通知手段を有し、さらに前記記憶装置が、定常状態の楽音制御に用いるため各発音チャネル毎に設定された第1楽音情報記憶領域と、発音開始時および消音時の少なくとも一方の楽音制御に用いるため各発音チャネル共通に設定された第2楽音情報記憶領域とを含むことを特徴とする。

**【0007】**

【作用】このような手段により、受信側の制御装置はデータの送信された順番にかかわらず、早急に処理すべきデータをランダムに取り出し、処理することが可能となる。

**【0008】**

【実施例】以下に本発明の一実施例を図面を参照して詳細に説明する。図2は本発明の一実施例のハードウェア構成の概要を表すブロック図である。CPUa10はキーアサイン制御など、音源制御を除く電子楽器の全体の制御を行う。ROMa11には、キーアサイン制御などに必要なプログラムおよびデータが格納されている。RAMa12には、キーアサインデータ等のデータが記憶される。

【0009】キーボード13は、鍵盤のスイッチ接点をCPU10の制御により順次読み取る回路である。パネルスイッチ14は、パネルのスイッチ接点をCPU10の制御により順次読み取る回路である。バス15は主制御部の各回路を接続する。楽音制御情報発生手段である主制御部は、以上の構成要素により構成されている。

【0010】2ポートメモリ16は2つのアクセスポートを持ち、それぞれのポートから独立して非同期にアクセスが可能なRAMであり、また特定のアドレスにアクセスすることにより、割り込み信号を発生させる機能も備えている。各ポートはそれぞれバス15とバス24に接続されている。

【0011】つぎに、楽音発生手段である、音源制御部の構成要素について説明する。CPUb17は音源制御を行うためのものである。ROMb18は音源制御などに必要なプログラムおよびデータが格納されている。RAMb19には、音源制御データ等のデータが記憶される。

【0012】音源回路20はCPUb17の制御により、時分割多重処理によって複数（例えば32チャネル）の独立したデジタル楽音信号を発生する。波形メモリ21は各種の音色の楽音波形を記憶しており、音源回路20から指定されるアドレスの波形データを読み出して、音源回路20に出力する。音源回路20は、この波形データと内蔵するエンベロープジェネレータ（図示せず）との出力を乗算して出力する。

【0013】D/A変換回路22は、音源回路20から出力されるデジタル楽音信号をD/A変換して増幅する。サウンドシステム23は電気信号を音に変換する装置、例えばスピーカーである。バス24は音源制御部の各回路を接続する。

【0014】図3は2ポートメモリ7の詳細を示すブロック図である。メモリ回路30は、外部から供給されるアドレス、データおよびアビトレイション、割り込み制御回路33からの制御信号に従って動作するRAMである。I/Oバッファ31、32は書き込みあるいは読み出しデータを一時的に保持する。

【0015】アービトレーション、割り込み制御回路3は、2つのポートからコントロール信号(R/W、チップセレクト等)をそれぞれ入力し、メモリ回路30のアクセス制御を行う。この時、2つのポートのアクセスが競合した場合には、後からアクセスしたポートに対してBUSY信号を出力し、アクセスを待たせる。

【0016】また、アドレス信号を入力し、2箇所の特定のアドレスに対するアクセスに伴って、それぞれのポートのINT(割り込み)信号を発生する。このような構成により、主制御部のCPUa10と音源制御部のCPUb17の間でデータのやり取りを行う。

【0017】次に、2ポートメモリ16内のデータ配列について説明する。図4(a)、(b)はそれぞれ2ポートメモリ内のデータ配列の例を示している。(a)においては、メモリの下位アドレスから順に、各音源チャネル用の音源制御情報領域があり、その後に、音源回路の各チャネルの使用状況を示すチャネルマップがあり、最後にそれぞれのポートに対応する割り込み信号発生アドレス1および2がある。

【0018】(b)は他のデータ配列の実施例であり、メモリの下位アドレスから順に、各音源チャネル用の音源制御情報領域があるが、これは割込みを用いない制御データ用の領域であり、その後に、各チャネル共通の割込み処理用音源制御情報領域がある。その後に音源回路の各チャネルの使用状況を示すチャネルマップがあり、最後にそれぞれのポートに対応する割り込み信号発生アドレス1および2がある。このようなデータ配列にすれば、割込みによって受け渡すデータの領域が1つですむので、小容量のメモリですむ。

【0019】図5はCPUa10がキーオン、キーオフなどに従って、音源制御部のCPUb17に割込みをかけるために、割り込み信号発生アドレスに書き込むデータの内容の一例を示している。bit0～4は処理すべき音源チャネルの番号を示しており、またbit6、7は、例えばキーオンは01、キーオフは10、トランケートは11などのように処理内容を示している。

【0020】ここでトランケートとは、次のような処理のことである。全ての音源チャネルが発音中に、更に鍵盤が押された場合には、すでに発音中の音源チャネルの中から、後押し優先などの公知の方法により1つのチャネルを選択する。そして、このチャネルを押鍵された音に再割り当てるために、該チャネルにおいてすでに行われている発音を、ノイズにならない程度にできるだけ早く減衰させる必要がある。この処理をトランケート処理という。

【0021】以上のようなデータ配列の他に、2ポートメモリ16の特定の番地(図4(b)の例では各チャネル共通の割込み処理用音源制御情報領域)に図5と同様なデータを書き込み、割り込み信号発生アドレスに任意のダミーデータを書き込むようにしてもよい。

【0022】次に、上記のような構成の電子楽器の動作について説明する。まず、主制御部のCPUa10の動作について説明する。CPUa10は、キーボード13の鍵が押されたことを検出すると、2ポートメモリ16内のチャネルマップを参照し、空いているチャネル、あるいは空いていなければ例えば最も以前から発音しているチャネルに、押された鍵に対応する音を割り当て、いわゆるキーアサイン処理を行う。あるいはCPUa10は、キーボード13の鍵が離されたれたことを検出するとキーオフ処理を行う。

【0023】これらの処理により出力されたキーオン、キーオフあるいはトランケート処理に関する音源制御情報は、RAMa12に記憶されると共に、2ポートメモリ16内の該当するチャネルの領域に書き込まれる。更に、CPUa10は図5に示すような割込みデータを作成し、音源制御部のCPUb17に割込みをかけるための割込み信号発生アドレスに書き込む。

【0024】音源制御部のCPUb17による割込み処理が終了すると、CPUb17は2ポートメモリ16を介して、主制御部のCPUa10に割込みをかけ、終了を通知する。CPUa10は終了通知が来るまでは、つぎの割込みは行わない。

【0025】つぎに、音源制御部のCPUb17の動作について説明する。図6(a)、(b)は音源制御部のCPUb17の動作を表わすフローチャートである。

【0026】(a)は割込み時の処理を表わすものであり、(b)は通常の処理を表わす。まず、(b)から説明すると、CPUb17はステップS10においてイニシャライズ(初期化)を行うと、ステップS11においては、2ポートメモリ16内の第1チャネルの領域を参照し、音源回路の第1チャネルの制御を行う。制御内容としては、例えれば変調効果の処理、あるいは出力が十分に減衰した場合に発音動作を中止し、チャネルマップを更新する処理等がある。

【0027】次に、ステップS12においては、ステップS11と同様に第2チャネルの制御を行う。以下、順番に各チャネルの制御を行い、ステップS13において、最後のチャネルの処理が終了すると、再びステップS11に戻り、第1チャネルの制御から繰り返す。

【0028】つぎに、図6(a)について説明する。(a)は割込み時の処理を表わすものであり、CPUa10が、割り込み信号発生アドレスにデータを書き込むことによって起動する。

【0029】ステップS1においては、CPUb17は、図5のフォーマットのbit6、7によってキーオン処理か否かを調べ、キーオン処理が要求されている場合には、ステップS2に移行し、キーオン処理を行う。

【0030】キーオン処理では、CPUb17は、まず割込みデータのbit0～4からチャネル番号を調べ、2ポートメモリ16の該当するチャネルの領域からデー

タを読み出す。そしてこのデータに従って音源チャネルに発音データをセットし、起動をかける。処理が終わるとステップS 6に移行する。

【0031】ステップS 1において、キーオン処理が要求されていない場合には、ステップS 3に移行し、トランケート処理か否かが調べられる。トランケート処理が要求されている場合には、ステップS 4に移行し、トランケート処理を行う。

【0032】トランケート処理では、該当するチャネルのエンベロープジェネレータに、出力が急速に減衰するようなデータをセットし、処理が終わるとステップS 6に移行する。ステップS 3でトランケート処理が要求されていない場合（即ちキーオフの場合）には、ステップS 5に移行し、キーオフ処理を行う。

【0033】キーオフ処理においては、該当するチャネルのエンベロープジェネレータに、出力が自然に減衰するようなデータをセットし、処理が終わるとステップS 6に移行する。ステップS 6においては、CPU b 17は主制御部のCPU a 10に割込みをかけ、終了を通知する。

【0034】図7 (a) は、音源チャネルから出力される楽音信号のエンベロープ波形の一例を示す波形図である。一般にエンベロープ波形は、周知のようにアッタク、ディケイ、サステイン、リリースの各部に分けられ、それぞれの特性に合うエンベロープのレベルとスピードをエンベロープジェネレータに与えることによってエンベロープ波形を決定するが、この実施例では、キーオン時の割込み処理によって、これらのデータが主制御部のCPU a 10から音源制御部のCPU b 17に、2ポートメモリ16を介して受け渡される。

【0035】その後は音源制御部のCPU b 17が、受け取ったデータに基づいて音源チャネルを制御する。次にキーオフ、あるいはトランケートの割込み処理により、楽音出力が減衰し、十分に減衰すると発音動作を停止する。図の例ではキーオフ処理の後にトランケート処理を行う場合が示されており、この場合には、1つの発音動作に3回の割込み処理が行われている。

【0036】つぎに、他の制御方式を説明する。前述した実施例では、キーオン、キーオフ、トランケート時にエンベロープの制御データを、2ポートメモリ16を介して受け渡し、音源制御部のCPU b 17が独自にエンベロープを制御していた。しかし、この実施例では、一定時間毎に、主制御部のCPU a 10が2ポートメモリ16のチャネル毎の領域に、エンベロープ制御データを書き込み、音源制御部のCPU b 17が、図6 (b) の通常の処理において、これを読み出してエンベロープの制御を行う。

【0037】図7 (b) は、この実施例の場合の、エンベロープ波形の一例を示す波形図である。図においては、一定時間（例えば10ms）毎にエンベロープのレベルを音源回路に設定し直すことによって音源回路を制御している。この場合には、余り早急に処理をする必要のないキーオフ処理は割込みを用いずに、通常の処理を行っている。従ってこの例では、図5の割込みデータの処理内容の指定は1bitで足り、また図6 (a) のキーオフに関する処理（ステップS 5、3）は不要になる。

【0038】以上、本発明の1実施例を説明したが、2ポートメモリ回路を用いることにより、記憶内容を共有し、かつ保存できるので、FIFOのようにその都度RAMに転送する必要が無く、処理が簡単になる。2ポートメモリ回路としては、市販のものを用いることも可能であるが、ある範囲のアドレスをアクセスすると割込みがかかるように構成することも可能である。さらに特定のアドレスに、処理すべきデータが存在することを示すフラグを設け、音源制御部のCPU b 17が、通常の処理の中で周期的に、これを読み出すようにしてもよい。

### 【0039】

【発明の効果】このように本発明の電子楽器によれば、受信側の制御装置はデータの送信された順番にかかわらず、早急に処理すべきデータをランダムに取り出し、処理することが可能となるという効果がある。

### 【図面の簡単な説明】

【図1】 本発明の概要を示すブロック図である。

【図2】 本発明の一実施例のハードウェア構成の概要を表すブロック図である。

【図3】 2ポートメモリの詳細を示すブロック図である。

【図4】 2ポートメモリ内のデータ配列の例を示す説明図である。

【図5】 割り込み信号発生アドレスに書き込むデータの内容の一例を示す説明図である。

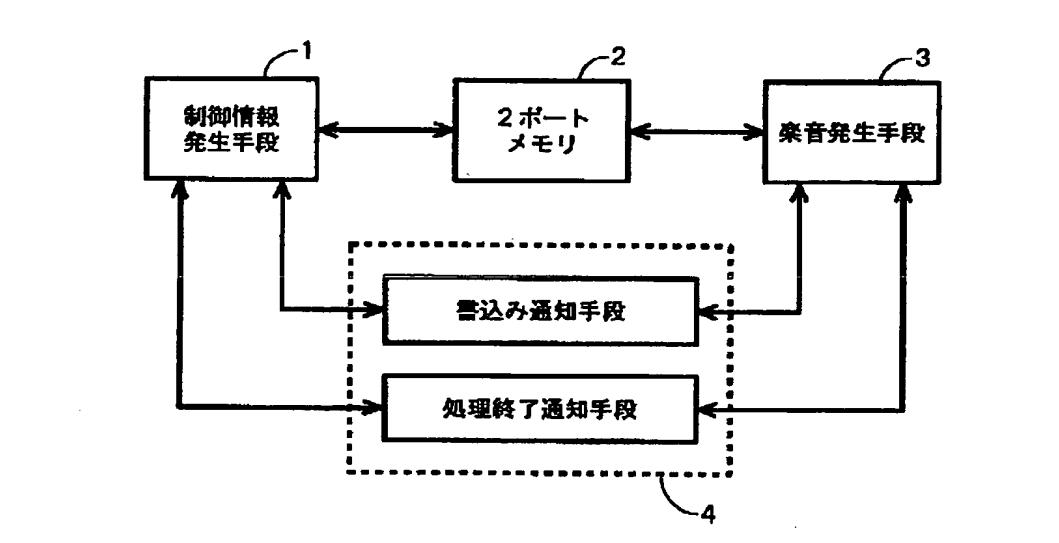
【図6】 音源制御部のCPU b 17の動作を表わすフローチャートである。

【図7】 楽音信号のエンベロープ波形の一例を示す波形図である。

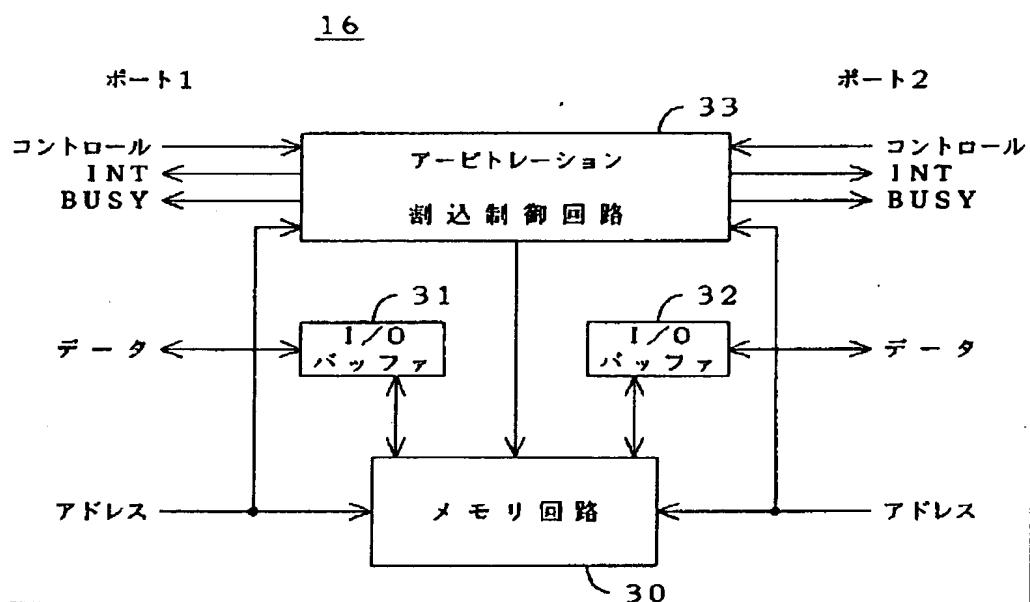
### 【符号の説明】

1…制御情報発生手段、2…楽音発生手段、3…2ポートメモリ、4…通知手段、10…CPU a、11…ROM a、12…RAM a、13…キーボード、14…ペネルスイッチ、15…バス、16…2ポートメモリ、17…CPU b、18…ROM b、19…RAM b、20…音源回路、21…波形メモリ、22…D/A変換回路、23…サウンドシステム、24…バス

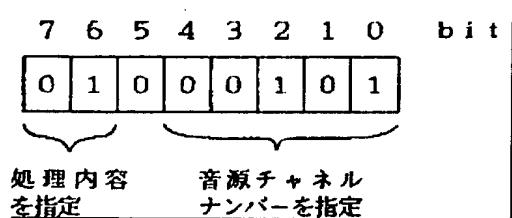
【図1】



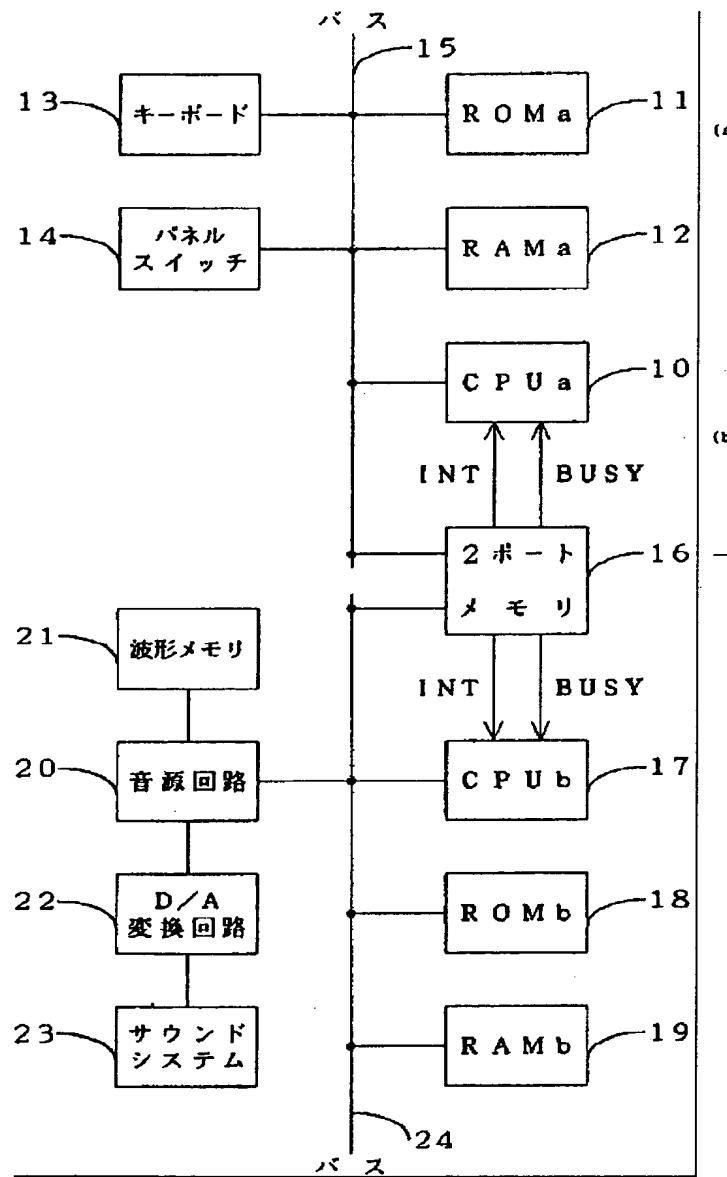
【図3】



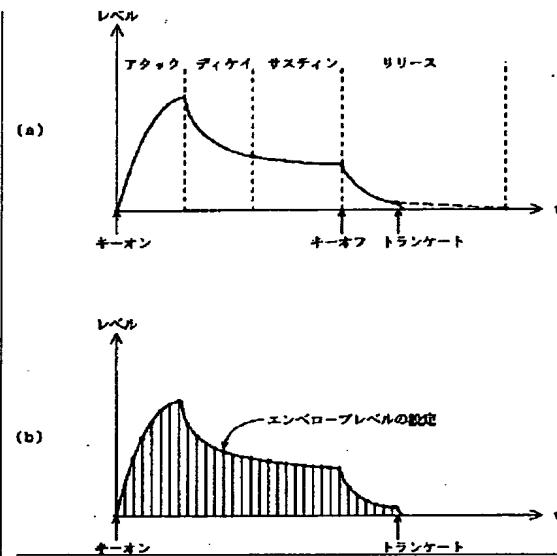
【図5】



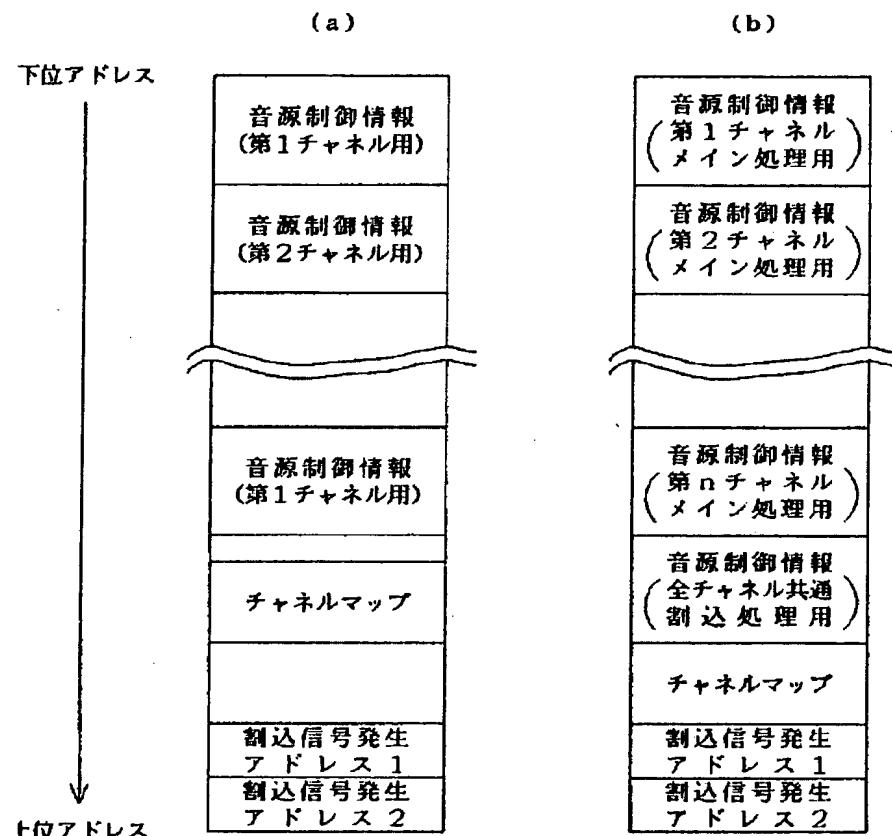
【図2】



【図7】



【図4】



【図6】

